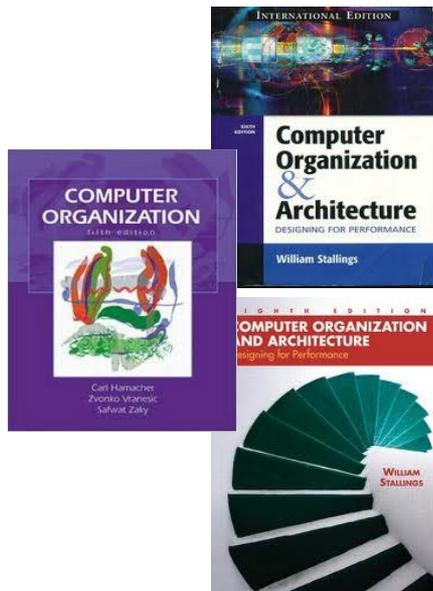
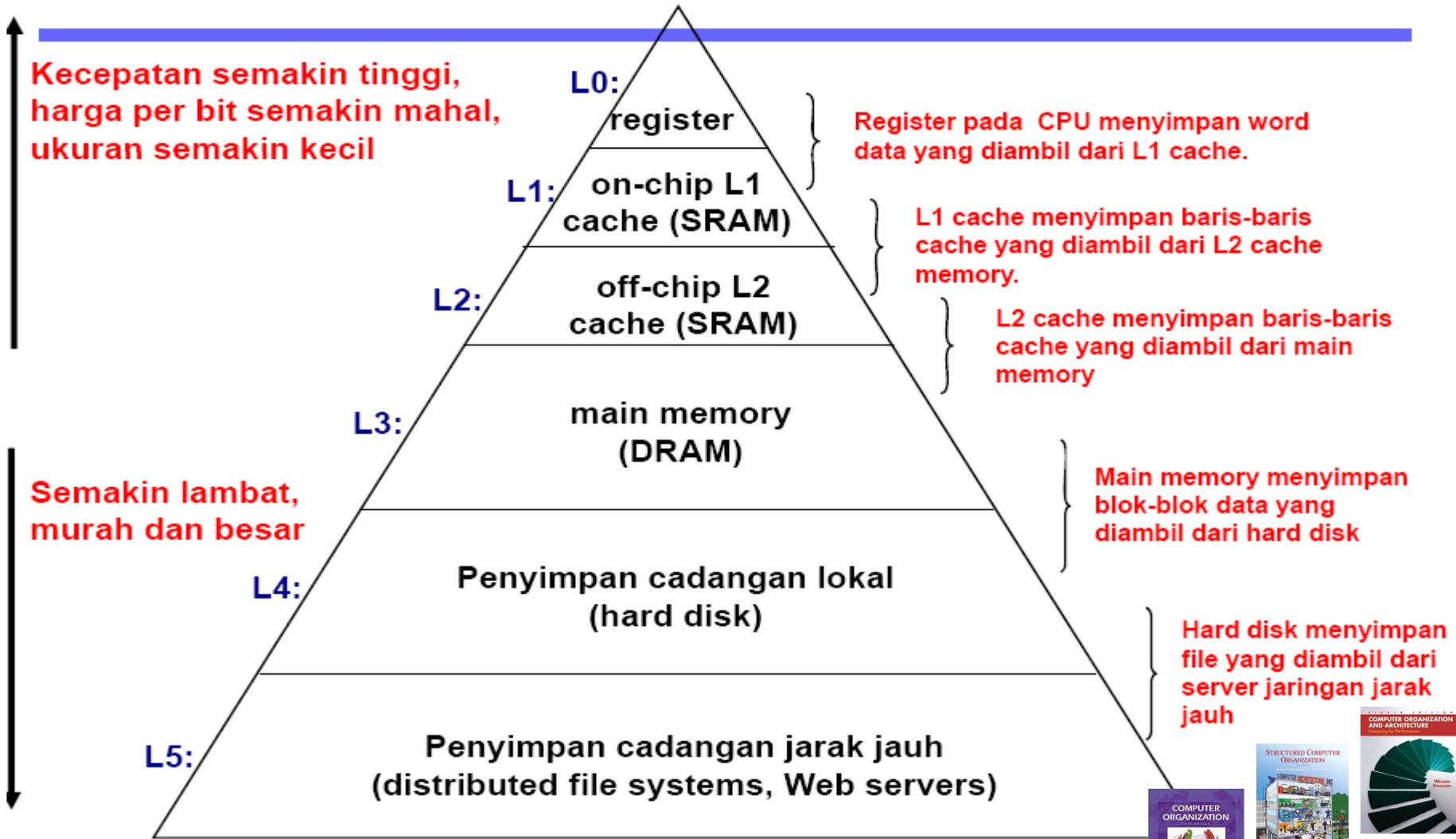


Internal Memori



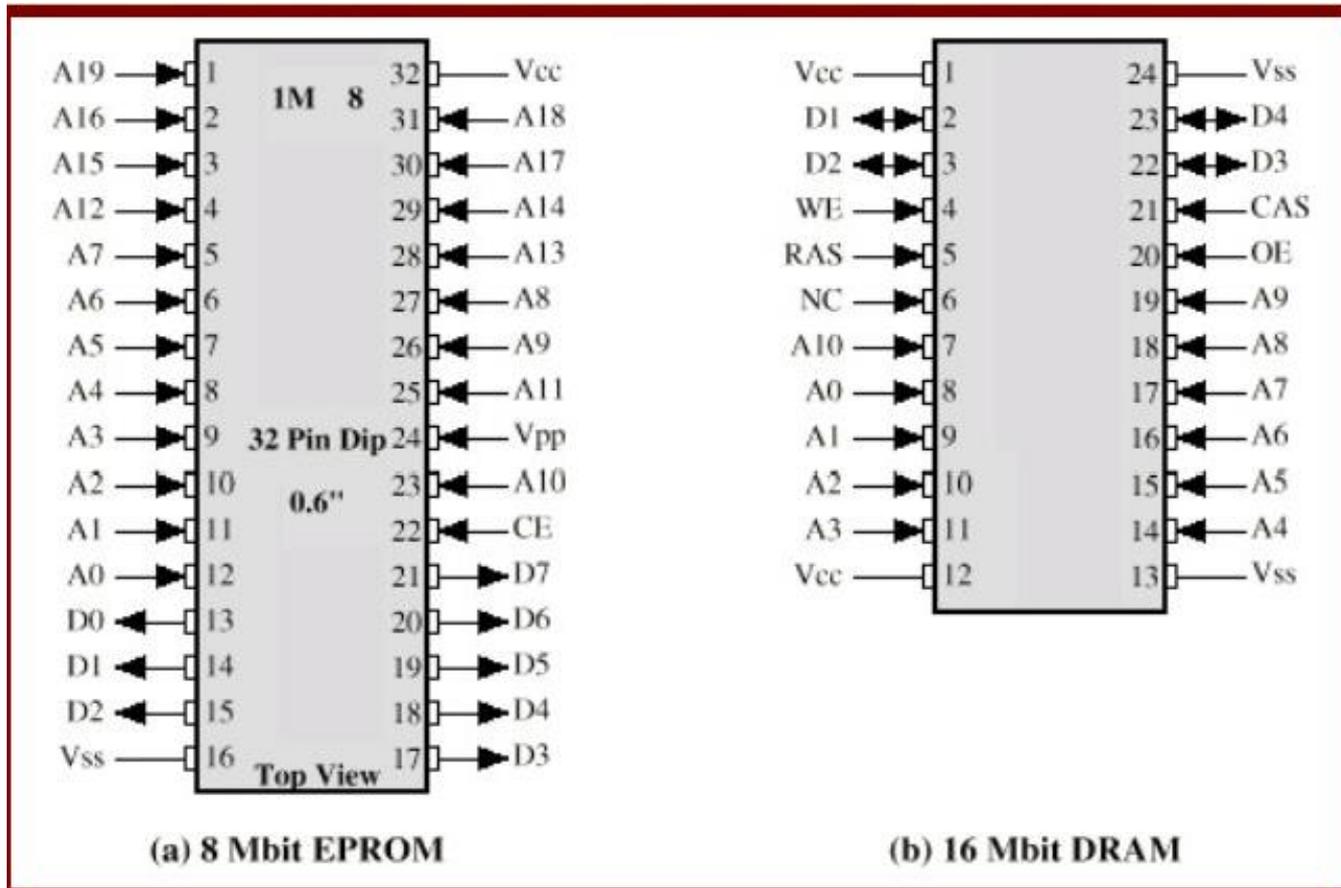
Eko Budi Setiawan, S.Kom., M.T.



Eko Budi Setiawan, S.Kom., M.T.



Pengemasan (Packaging)



(a) 8 Mbit EPROM

(b) 16 Mbit DRAM

Eko Budi Setiawan, S.Kom., M.T.



Gambar (a)

EPROM yang merupakan keping 8 Mbit yang diorganisasi sebagai 1Mx8

Organisasi dianggap sebagai kemasan satu word per keping

Kemasan terdiri dari 32 pin, yang merupakan salah satu ukuran kemasan keping standar



Eko Budi Setiawan, S.Kom., M.T.

Gambar (b)

Keping 16 Mbit yang diorganisasikan sebagai 4Mx4

Terdapat sejumlah perbedaan dengan keping ROM, karena ada operasi tulis maka pin-pin data merupakan input/output yang dikendalikan oleh WE (Write Enable) dan OE (Output Enable)



Pengemasan (Packaging) ⁶

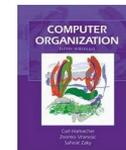
Alamat word yang sedang diakses. Untuk 1M word, diperlukan sejumlah 20 alamat. ($2^{20} = 1M$)

Data yang akan dibaca terdiri dari 8 saluran (D0 – D7) Catu daya keping adalah Vcc

Pin Ground Vss

Tegangan program (Vpp)

Eko Budi Setiawan, S.Kom., M.T.



Pengemasan (Packaging) ⁷



Eko Budi Setiawan, S.Kom., M.T.



Dalam fungsi penyimpanan, memori dimungkinkan mengalami kesalahan

Kesalahan berat yang biasanya merupakan kerusakan fisik memori

Kesalahan ringan yang berhubungan dengan data yang disimpan, dapat dikoreksi kembali

Koreksi kesalahan data yang disimpan diperlukan dua mekanisme yaitu pendeteksian dan perbaikan kesalahan

Eko Budi Setiawan, S.Kom., M.T.



Cache Memory merupakan memori yang memiliki kecepatan sangat tinggi, digunakan sebagai perantara antara RAM dan CPU.

Memori ini mempunyai kecepatan lebih tinggi daripada RAM, tetapi harganya lebih mahal

Mempercepat kerja memori sehingga mendekati kecepatan prosessor

Cache memori berisi salinan memori utama

Eko Budi Setiawan, S.Kom., M.T.



CPU-Z - ID : 2536827

CPU | Caches | Mainboard | Memory | SPD | Graphics | About

Processor

Name	AMD A10-5800K		
Code Name	Tiinity	Brand ID	
Package	Socket FM2 (904)		
Technology	32 nm	Core Voltage	1.968 V

Specification

AMD A10-5800K APU with Radeon(tm) HD Graphics

Family	F	Model	0	Stepping	1
Ext. Family	15	Ext. Model	10	Revision	TN-A1

Instructions: MMX(+), SSE (1, 2, 3, 3S, 4.1, 4.2, 4A), x86-64, AMD-V, AES, AVX, X

Clocks (Core #0)

Core Speed	7384.7 MHz
Multiplier	x 62.0
Bus Speed	119.11 MHz
Rated FSB	119.11 MHz

Cache

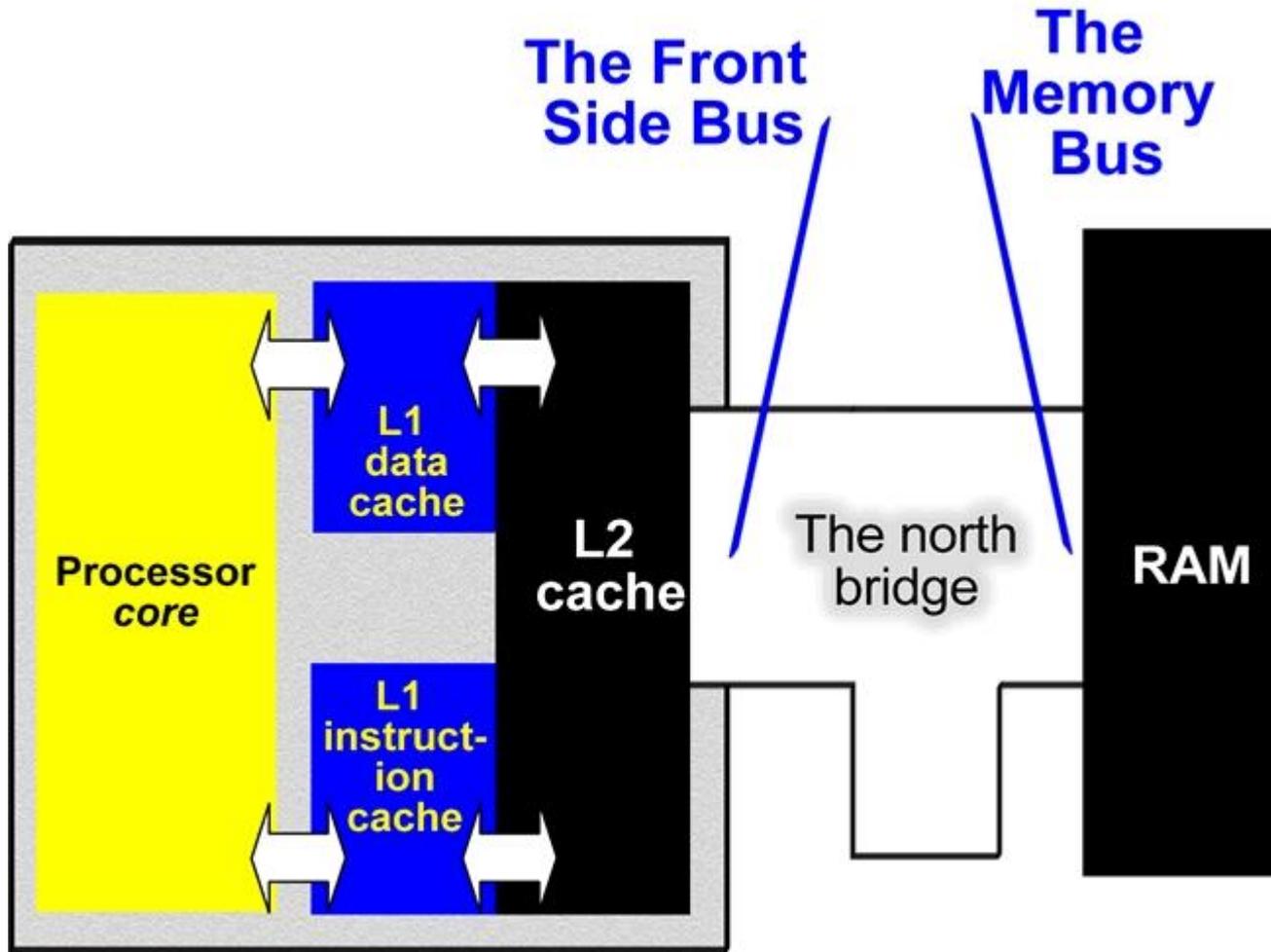
L1 Data	2 x 16 KBytes	4-way
L1 Inst.	64 KBytes	2-way
Level 2	2048 KBytes	16-way
Level 3		

Selection: Processor #1 | Cores: 2 | Threads: 2

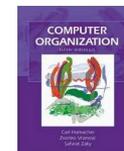
CPU-Z Version 1.61 | Validate | OK

Eko Budi Setiawan, S.Kom., M.T.





Eko Budi Setiawan, S.Kom., M.T.





Eko Budi Setiawan, S.Kom., M.T.

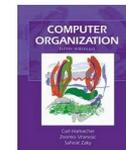


Memori ini digunakan untuk menjembatani perbedaan kecepatan CPU yang sangat tinggi dengan kecepatan RAM yang jauh lebih rendah

Dengan menggunakan cache, sejumlah data dapat dipindahkan ke memori ini dalam sekali waktu, kemudian ALU akan mengambil data tersebut

Dengan pendekatan ini, pemrosesan data dapat dilakukan lebih cepat daripada apabila CPU mengambil data secara langsung dari RAM

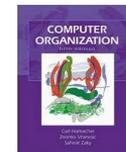
Eko Budi Setiawan, S.Kom., M.T.



Supaya kinerja CPU lebih efisien, maka diantara CPU dan RAM terdapat Cache Memory untuk mengurangi waktu tunda yang terjadi ketika proses lalu lintas data dari CPU ke RAM atau sebaliknya

If Cache Memory not Available ??

Tanpa cache memory maka CPU harus menunggu sampai data diterima dari RAM. Atau harus menunggu hasil proses selesai disimpan di RAM baru proses tersebut bisa dilaksanakan



*Processor mencari data yang diperlukan pada cache
Jika ditemukan, processor akan langsung
membacanya dengan jeda waktu yang sangat kecil*

*Jika data yang dicari tidak ditemukan, processor
akan mencarinya pada RAM yang kecepatannya
lebih rendah*

*Kapasitas memori cache yang semakin besar juga
akan meningkatkan kecepatan kerja komputer
secara keseluruhan*



Unsur	Macam
Kapasitas	-
Ukuran blok	-
Mapping	<ol style="list-style-type: none">1. Direct Mapping2. Assosiative Mapping3. Set Assosiative Mapping
Algoritma pengganti	<ol style="list-style-type: none">1. Least recently used (LRU)2. First in first out (FIFO)3. Least frequently used (LFU)4. Random
Write Policy	<ol style="list-style-type: none">1. Write Through2. Write Back3. Write Once
Jumlah Cache	<ol style="list-style-type: none">1. Singe atau dua level2. Unified atau split

Eko Budi Setiawan, S.Kom., M.T.



AMD mengeluarkan processor K5 dan K6 dengan cache sebesar 1MB, tetapi ternyata kinernyanya tidak bagus

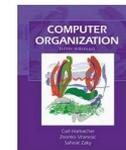
Intel mengeluarkan processor tanpa cache yaitu seri Celeron, tetapi kinerjanya sangat buruk terutama untuk operasi data yang besar, floating point dan 3D

Sejumlah penelitian telah menjurkan ukuran cache antara 1 KB s/d 512 KB akan lebih optimum



Ukuran cache disesuaikan dengan kebutuhan untuk membantu kinerja memori. Semakin besar ukuran dari cache memori akan mengakibatkan semakin lambat karena semakin banyak dalam jumlah pengalamatan

Eko Budi Setiawan, S.Kom., M.T.



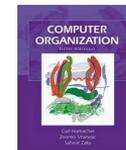
Perangkat menyimpan cepat dan kecil. Berfungsi sebagai area antara dengan data yang berada pada penyimpanan yang lambat dan besar

Ide dasar dari hirarki memori :

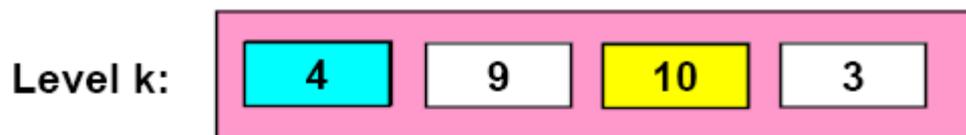
- *Untuk setiap k , device pada level k yang lebih cepat dan kecil merupakan cache dari device yang lebih lambat dan besar pada level $k+1$*

Mengapa hirarki memori digunakan ?

- *Program cenderung untuk mengakses data pada level k lebih sering dari data pada level $k+1$*
- *Penyimpanan pada level $k+1$ dapat lebih lambat, besar dan harga per bit lebih rendah*



Cache pada Hirarki Memori ²⁰

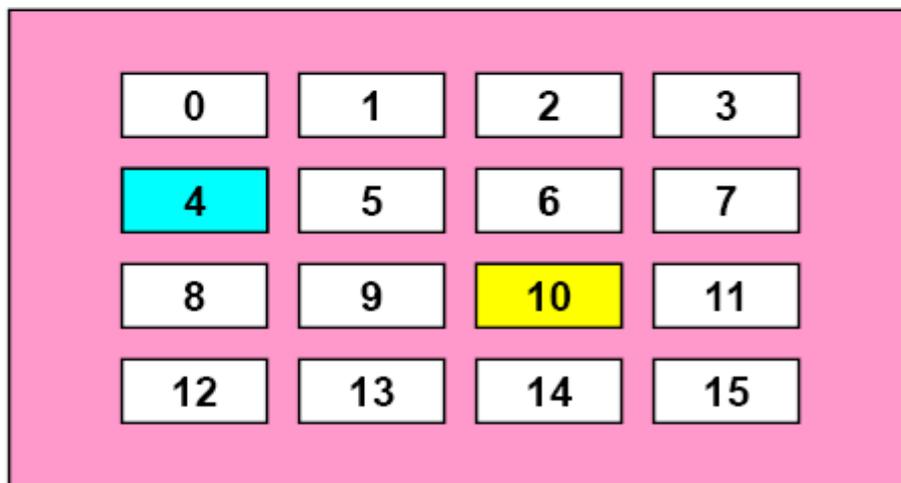


Devasi penyimpan yang lebih kecil, cepat dan mahal pada level k merupakan cache dari subset blok pada level k+1



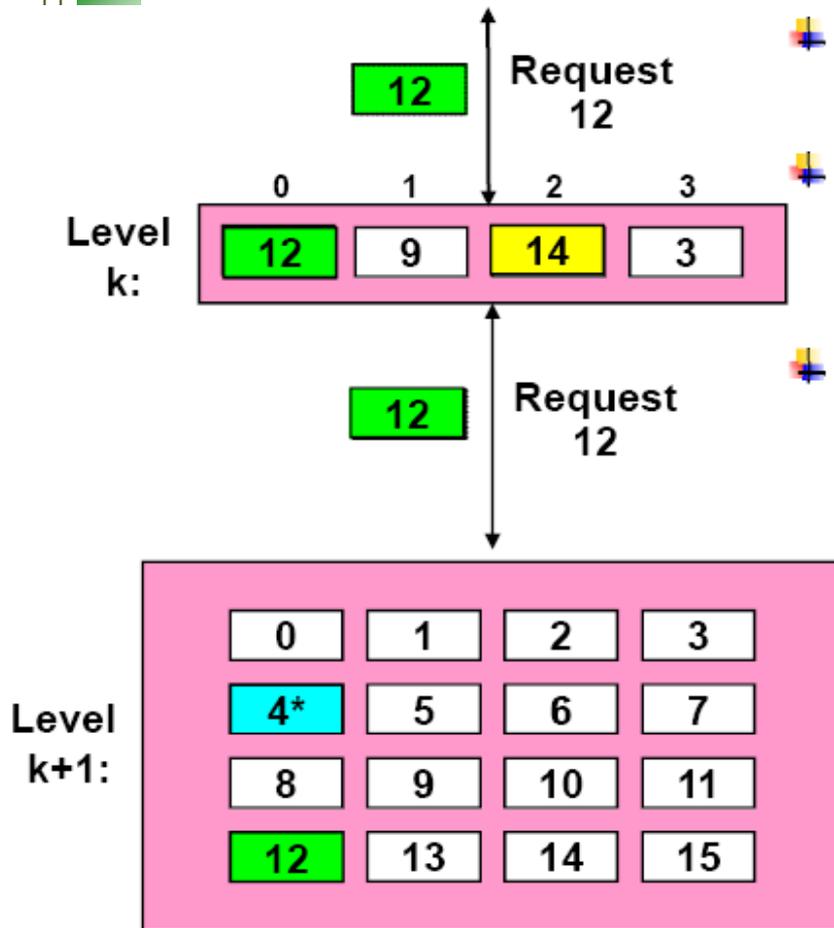
Data disalin antara level dengan satuan transfer dalam blok

Level k+1:



Devasi penyimpan yang besar, lambat dan murah pada level k+1 dipartisi menjadi blok-blok





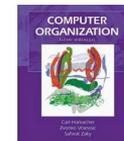
✚ Program memerlukan obyek d yang disimpan dalam suatu blok b

✚ **Cache hit**

- Program menemukan b dalam cache level k. Misalnya pada blok 14.

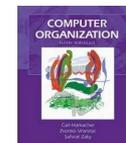
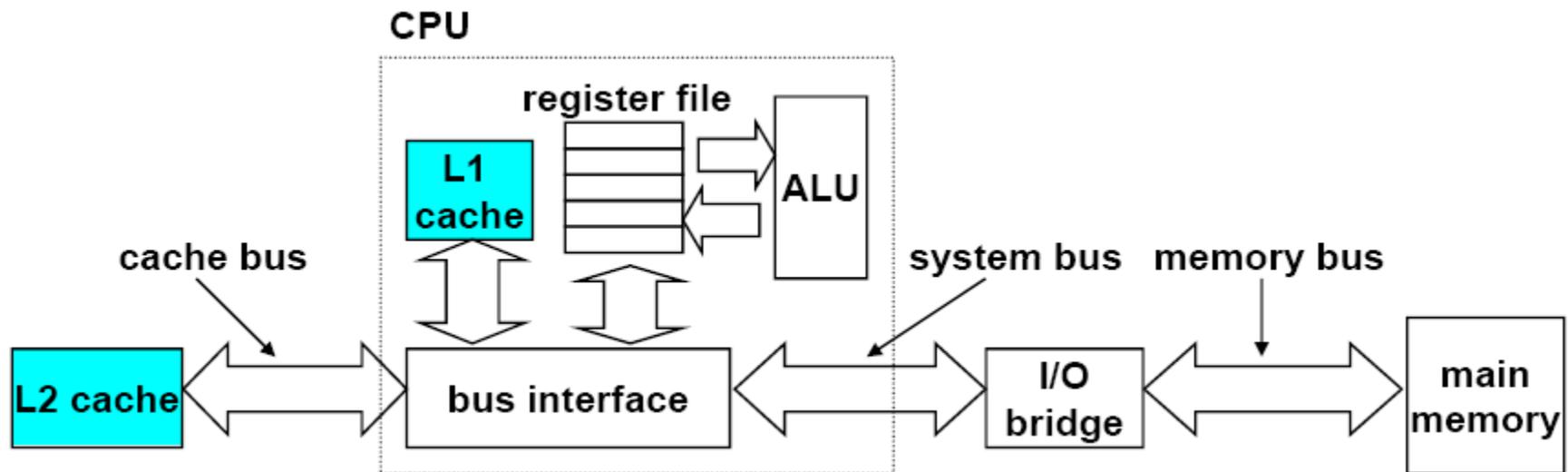
✚ **Cache miss**

- B tidak terdapat pada level k, sehingga cache level k harus mengambilnya dari level k+1. Misalnya blok 12.
- Jika cache level k penuh, maka suatu blok harus diganti isinya. Blok mana yang menjadi "korban" ?
 - Placement policy** : dimana blok baru diletakkan. Misalnya b mod 4
 - Replacement policy** : blok mana yang harus terusir ? Misalnya LRU

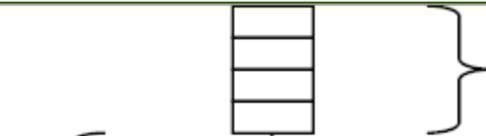


Konsep Umum Cache Memory ²²

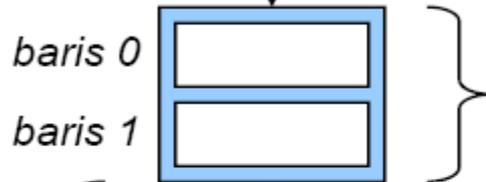
- + Cache memory adalah memori berbasis SRAM berukuran kecil dan berkecepatan tinggi yang dikendalikan secara otomatis oleh hardware.
 - Menyimpan suatu blok dari main memory yang sering diakses oleh CPU
- + Dalam operasinya, pertama-tama CPU akan mencari data di L1, kemudian di L2, dan main memory.



Satuan transfer antara register dan cache dalam blok berukuran 4-byte

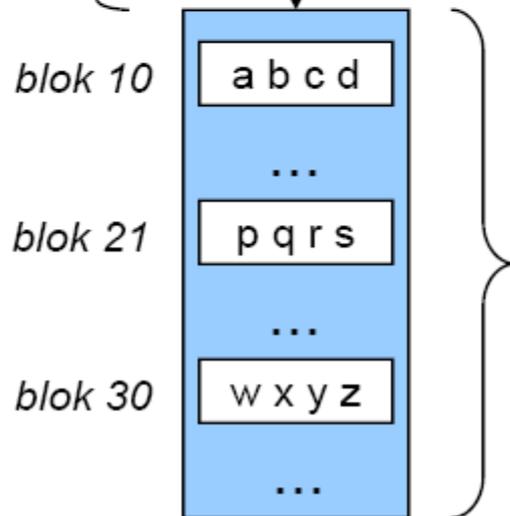


register dalam CPU memiliki tempat untuk menyimpan empat word berukuran 4-byte.

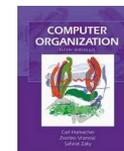


L1 cache memiliki tempat untuk menyimpan dua blok berukuran 4-word

Satuan transfer antara cache dan main memory dalam blok berukuran 4-word



main memory memiliki tempat untuk menyimpan blok-blok berukuran 4-word



Organisasi Cache Memory ²⁴

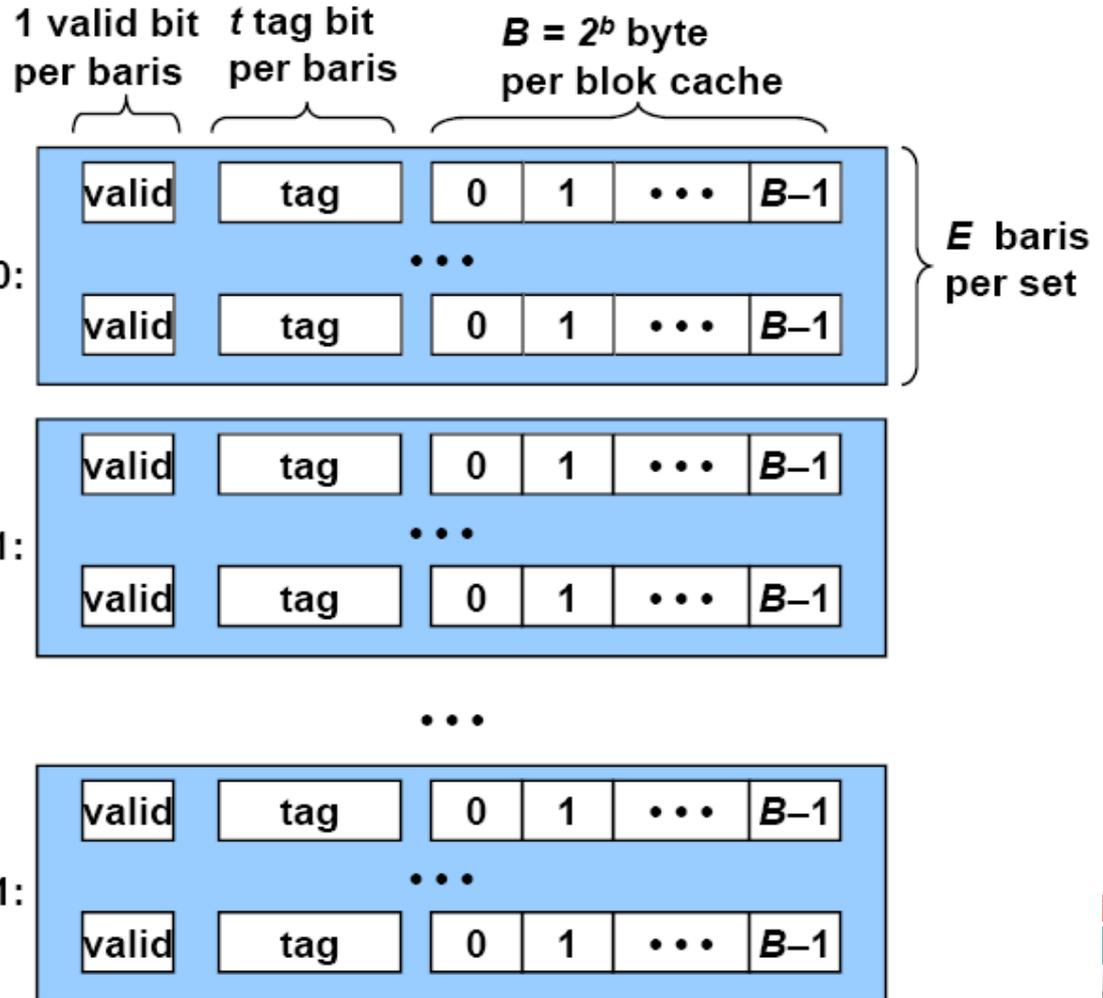
Cache adalah array dari kumpulan set.

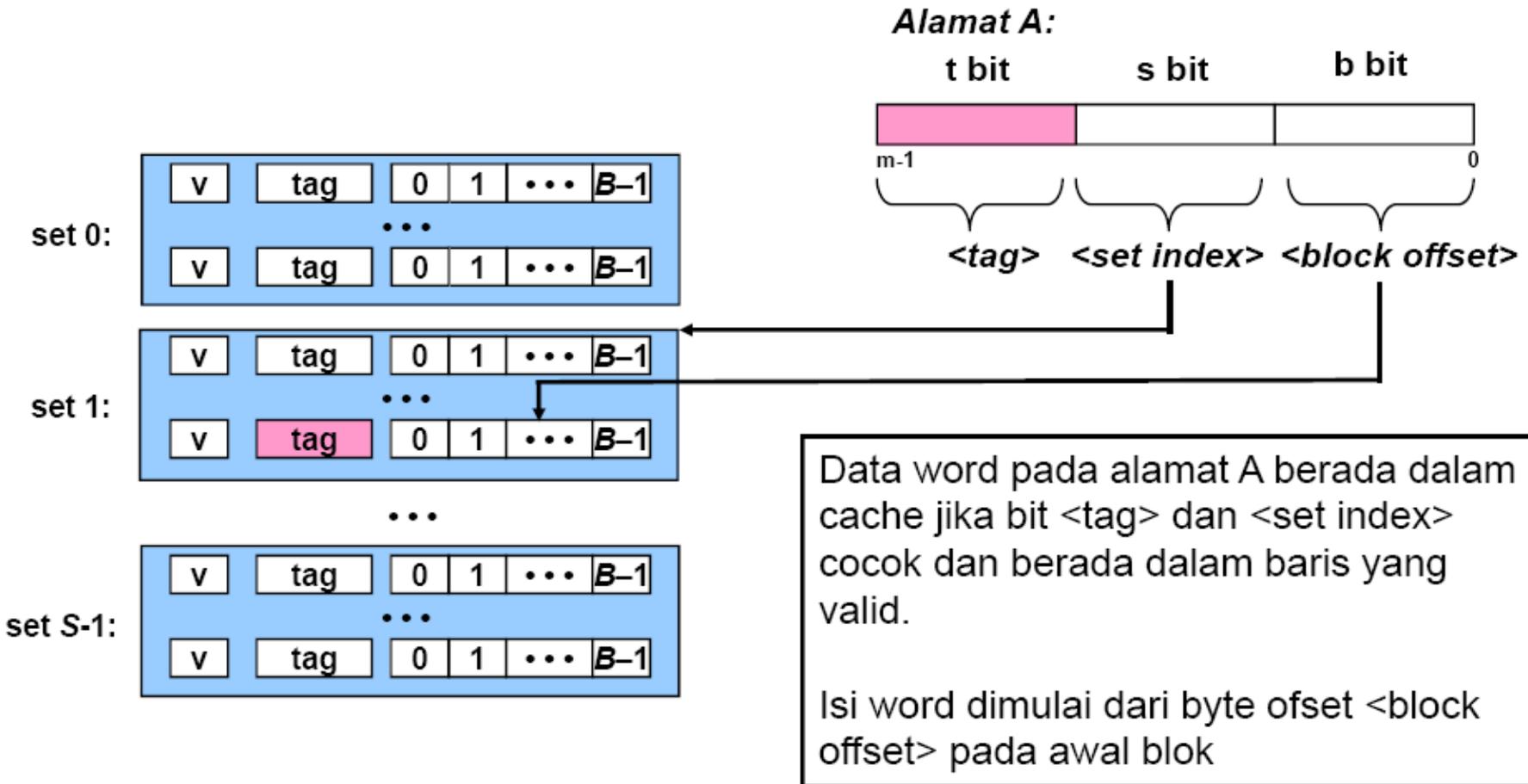
Setiap set berisi satu atau lebih baris.

Setiap baris menyimpan satu blok data.

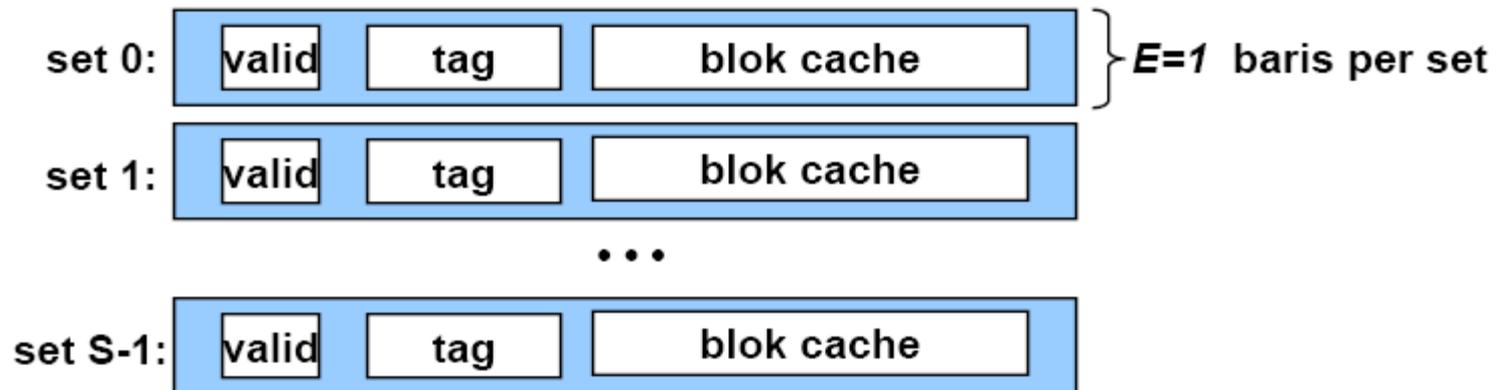
$$S = 2^s \text{ set}$$

Ukuran cache :
 $C = B \times E \times S$ byte data





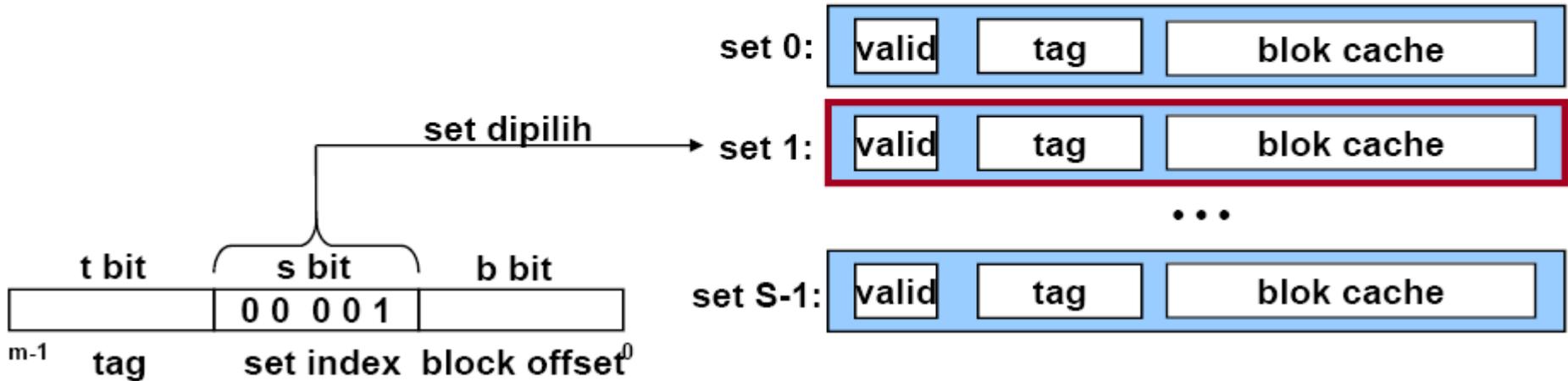
- + Cache yang sederhana
- + Setiap set hanya memiliki satu baris (line)



Mengakses Direct Mapped Cache ²⁷

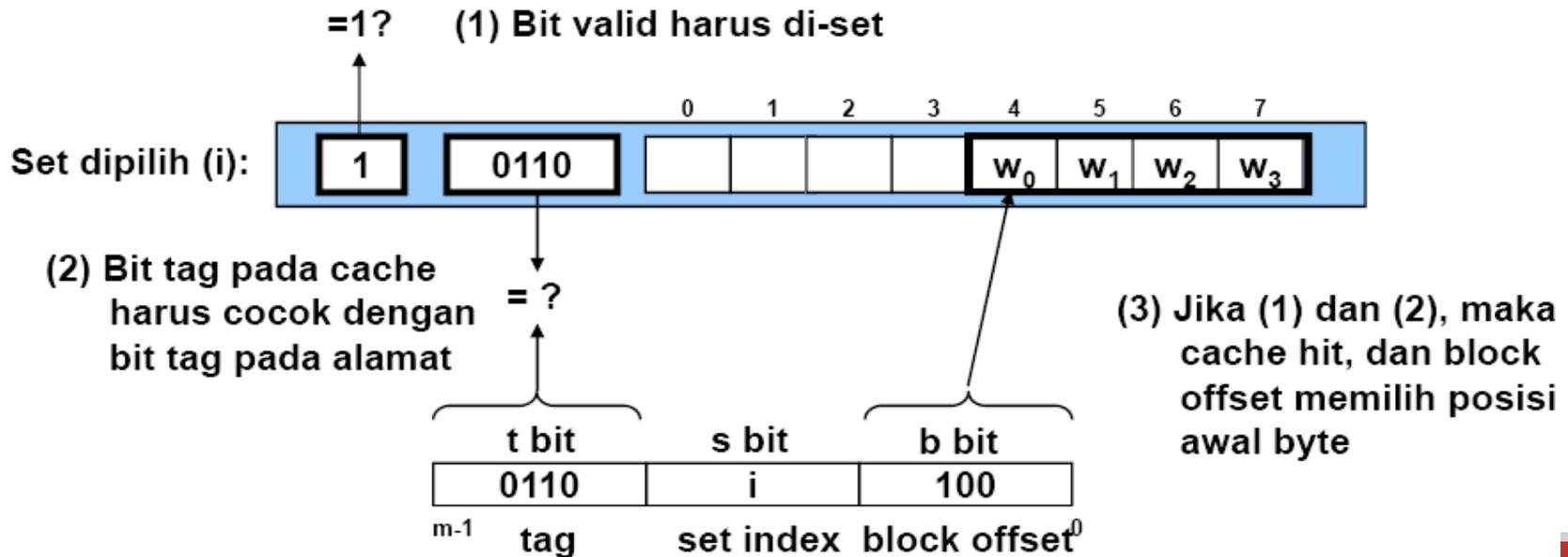
+ Memilih set

- Menggunakan bit set index untuk memilih set yang digunakan

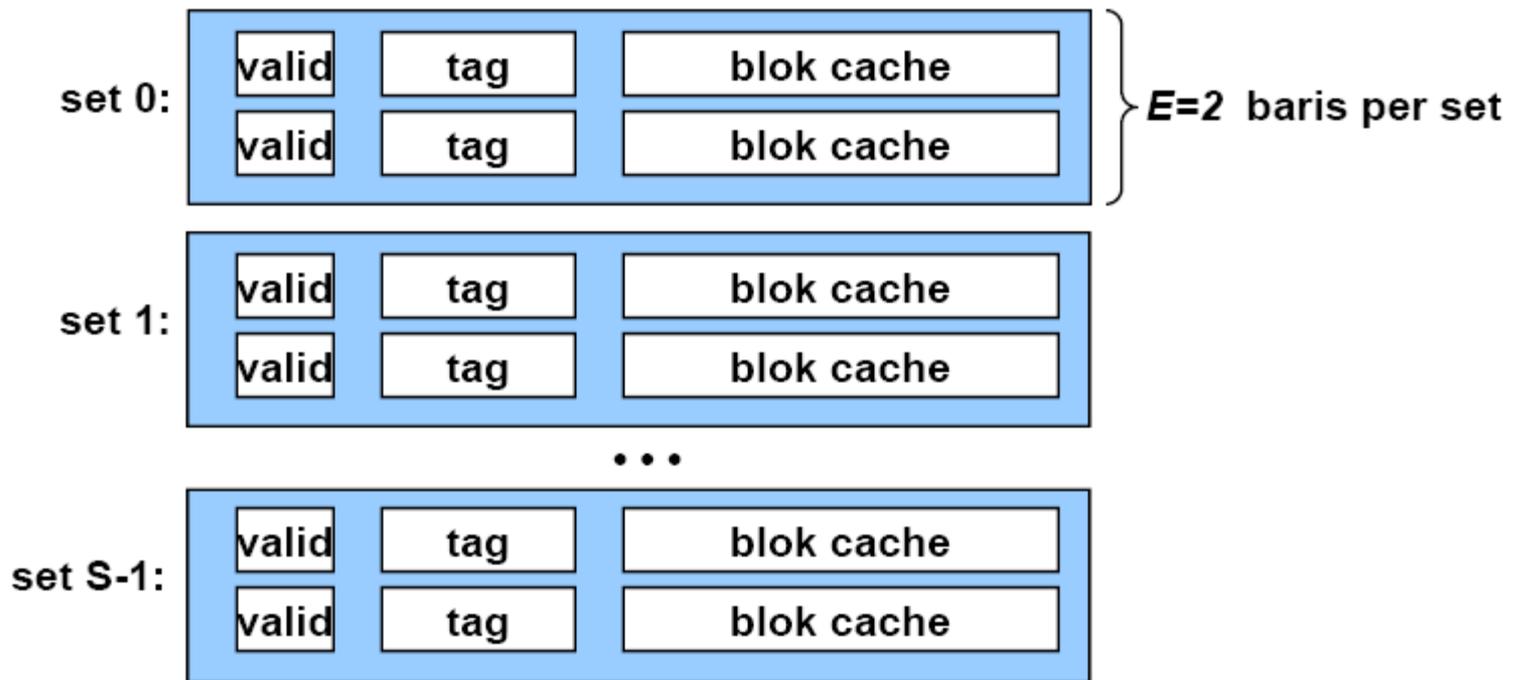


✚ Pencocokan baris dan pemilihan word

- **Pencocokan baris** : mencari baris valid dalam set yang dipilih dengan mencocokkan tag
- **Pemilihan word** : Selanjutnya mengekstraksi word



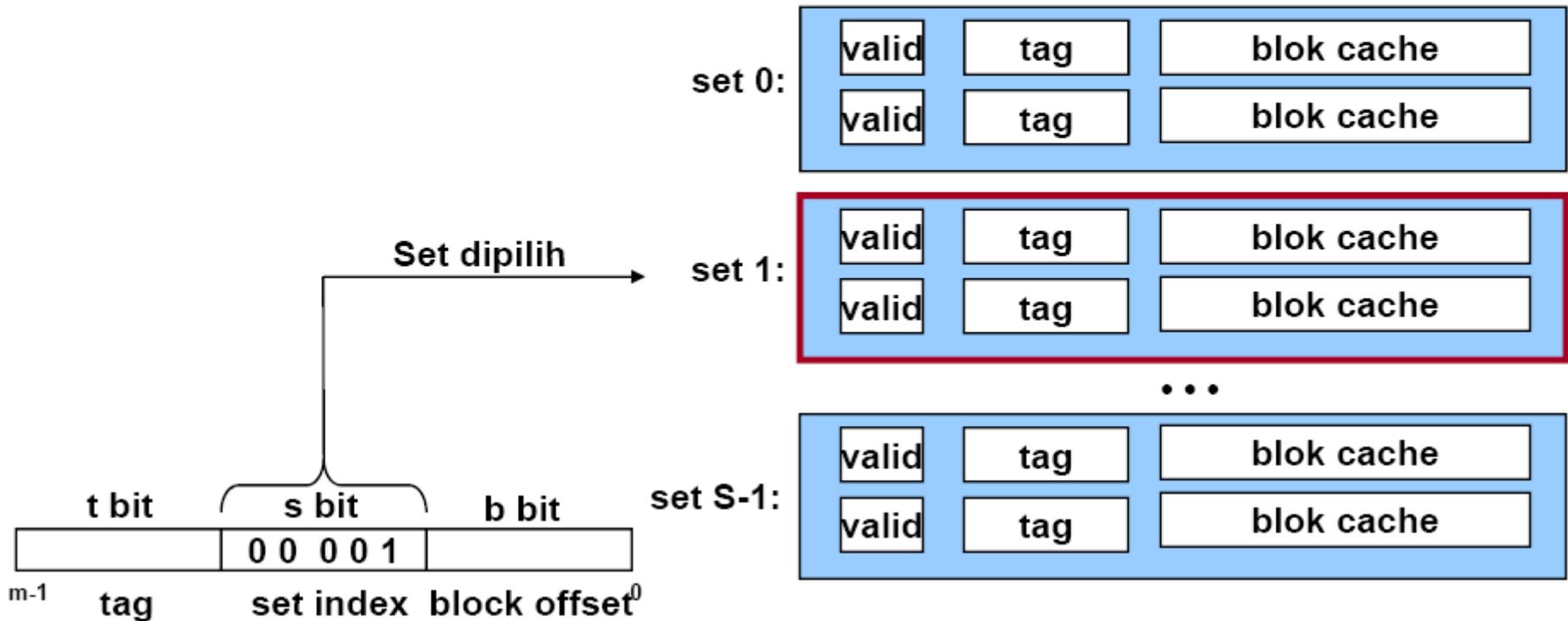
✚ Setiap set memiliki lebih dari satu baris



Mengakses Set Associative Cache

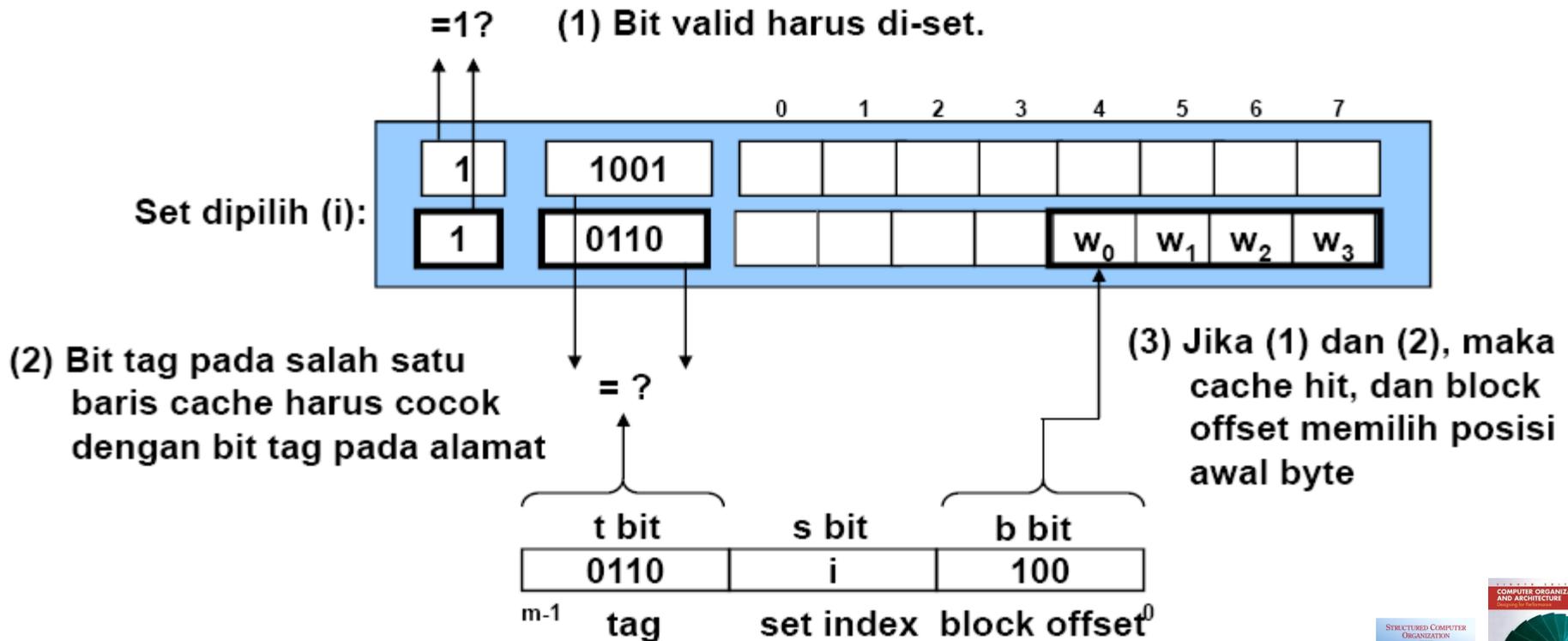
Memilih set

- Serupa dengan direct-mapped cache



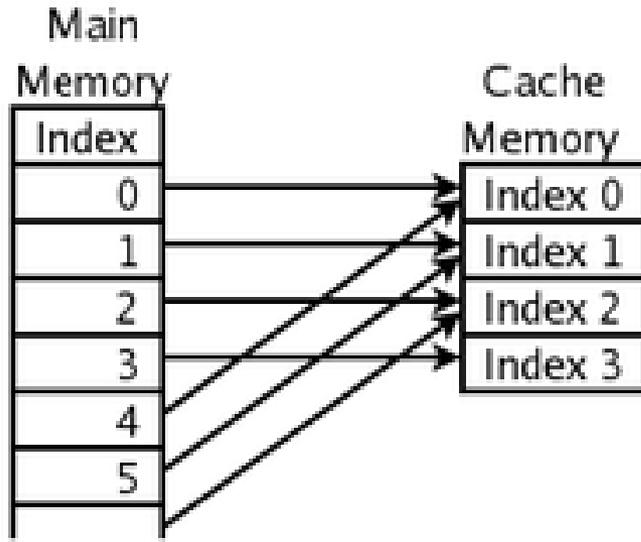
Mengakses Set Associative Cache

- ✚ Pencocokan baris dan pemilihan word
 - Harus membandingkan setiap tag pada baris yang valid dalam set yang dipilih



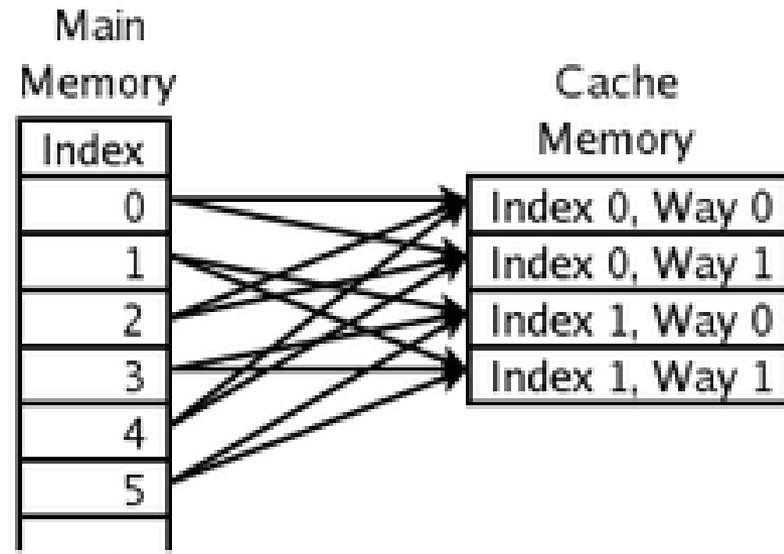
Mengakses Set Associative Cache 32

Direct Mapped
Cache Fill



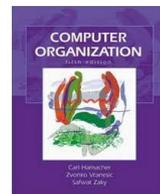
Each location in main memory can be cached by just one cache location.

2-Way Associative
Cache Fill



Each location in main memory can be cached by one of two cache locations.





To Be Continued..

